

CFO 8301 us/yo

S.N. 08/250,942

日本国特許庁

PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日  
Date of Application:

1991年 3月18日

出願番号  
Application Number:

平成 3年特許願第052429号

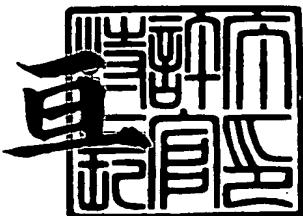
出願人  
Applicant(s):

キヤノン株式会社

1992年 5月15日

特許長官  
Commissioner,  
Patent Office

深沢



出証平 04-020118

【書類名】 特許願  
 【整理番号】 1999085  
 【提出日】 平成 3年 3月18日  
 【あて先】 特許庁長官 植松 敏 殿  
 【国際特許分類】 H01L 21/90  
 【発明の名称】 絶縁ゲートトランジスタ及び半導体集積回路  
 【請求項の数】 6  
 【発明者】  
   【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会社  
     内  
   【氏名】 森下 正和  
 【特許出願人】  
   【識別番号】 000001007  
   【郵便番号】 146  
   【住所又は居所】 東京都大田区下丸子3丁目30番2号  
   【氏名又は名称】 キヤノン株式会社  
   【代表者】 山路 敬三  
   【電話番号】 03-3758-2111  
 【代理人】  
   【識別番号】 100069877  
   【郵便番号】 146  
   【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会社  
     内  
 【弁理士】  
   【氏名又は名称】 丸島 儀一  
   【電話番号】 03-3758-2111  
 【手数料の表示】  
   【納付方法】 予納  
   【予納台帳番号】 011224

【納付金額】 14,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003707

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 絶縁ゲートトランジスタ及び半導体集積回路

【特許請求の範囲】

【請求項 1】 少なくとも第1の導電型で高不純物密度のソースとドレイン領域、ソースドレインの間にあるチャネル領域、該チャネル領域を少なくともおおっている絶縁層、該絶縁層に近接している導電材料からなるゲート電極を有する絶縁ゲートトランジスタにおいて、

該チャネル領域が、絶縁層に近接した第1導電型と反対導電型の低抵抗の第2導電型の第1チャネル領域と、該第1チャネル領域に隣接した高抵抗の第1導電型の第2チャネル領域と、該第2チャネル領域に隣接した第2導電型の第3チャネル領域を有することを特徴とする絶縁ゲートトランジスタ。

【請求項 2】 少なくとも第1の導電型で高不純物密度のソースとドレイン領域、ソースドレインの間にあるチャネル領域、該チャネル領域を少なくともおおっている絶縁層、該絶縁層に近接している導電材料からなるゲート電極を有する絶縁ゲートトランジスタを備えた半導体集積回路において、

該チャネル領域が、絶縁層に近接した第1導電型と反対導電型の低抵抗の第2導電型の第1チャネル領域と、該第1チャネル領域に隣接した高抵抗の第1導電型の第2チャネル領域と、該第2チャネル領域に隣接した第2導電型の第3チャネル領域を有する絶縁ゲート型トランジスタを備えた半導体集積回路。

【請求項 3】 少なくともゲート印加電圧が零において、前記第2チャネル領域が空乏化しているMISトランジスタを含む集積回路である請求項2の半導体集積回路。

【請求項 4】 第1チャネル領域と第2チャネル領域の間に、第1導電型の第4チャネル領域を有したMISトランジスタを含む集積回路である請求項2又は3の半導体集積回路。

【請求項 5】 ゲート印加されて動作時にチャネル部の電位分布が表面で高く、キャリアは界面より少なくともキャリアの平均自由行程より深い所で流されるMISトランジスタを含む集積回路である請求項2の半導体集積回路。

【請求項 6】 前記M I Sトランジスタカレエンハンスメント型M I Sトランジスタである請求項 5 の半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、絶縁ゲートトランジスタ及びそれを備えた半導体集積回路に関する

【0002】

【従来の技術】

従来のM O S型トランジスタの1つとして、エンハンスメント型のM O Sトランジスタ (T r) が知られている。

【0003】

【発明が解決しようとする課題】

従来のM O S T r では、キャリアが誘起される反転チャネルの幅は~100 Å程度の狭い領域であり、その部分の表面に垂直の電界  $E_V$  は急峻であり、容易にキャリアの移動度が  $10^6 \text{ V/cm}$  程度になる。このため、 $E_V$  の影響がキャリアの移動度に直接反映されていて、半導体固有の移動度より遅くなっている。図 11 に垂直電界  $E_V$  とキャリアの移動度について示す。低電界側では基板の不純物で決まるクローン散乱が主体となり、中電界でフォノン散乱、高電界で、表面荒さによる散乱により、移動度が決められている。例えばS i の半導体自体における電子の移動度  $\mu$  は、本来的には  $300^\circ \text{ K}$  程度で  $\mu = 1500 \text{ cm}^2/\text{V} \cdot \text{sec}$  程度であるが、M O S T r では、動作領域である中高電界域でせいぜい  $300 \sim 700 \text{ cm}^2/\text{V} \cdot \text{sec}$  程度までしかいかない。

【0004】

従って、本発明の目的は、M O S型T r の特性を決めている重要なパラメータであるキャリアの移動度を改善する点にある。

【0005】

本発明の別の目的は、改善されたキャリアの移動度を示すM O S型T r を提供することにある。

## 【0006】

## 【課題を解決するための手段】

上記、キャリア散乱の原因を取り除き、半導体材料本来が有しているキャリアの移動度に近づけることができ、本発明によって、下記1～3、が達成される。

## 【0007】

1. クーロン散乱を除去するためにキャリア移動領域の基板の不純物濃度を低下することにより低電界域の移動度を上げる。

## 【0008】

2. キャリア伝導領域の電界強度を下げ、且つ、キャリアとじ込め領域の幅を広げることにより、中電界域の移動度を上げる。

## 【0009】

3. 酸化膜と半導体界面付近にキャリアを存在させず、界面の表面荒さの散乱を低下させることによって、高電界域の移動度を改善する。

## 【0010】

## 【実施例】

図1は本発明の特徴を最もより表わすMOS型トランジスタの断面図を示している。

## 【0011】

領域1は、P型の基板であり、 $10^{14} \sim 10^{18} \text{ cm}^{-3}$ までよい。

## 【0012】

領域2は、n<sup>-</sup>領域であり、 $1 \times 10^{17} \text{ cm}^{-3}$ より低い濃度にし、クーロン散乱により移動度の低下を行なう必要がある。領域3は領域2より不純物濃度を高くすることにより、表面付近に反転キャリアがとじ込められないようとする。濃度は $10^{15} \sim 10^{19} \text{ cm}^{-3}$ の範囲である。

## 【0013】

領域4はMOSトランジスタのソースあるいはドレインとなる $10^{18} \sim 10^{21} \text{ cm}^{-3}$ 近傍のn<sup>+</sup>領域とする。

## 【0014】

領域5は絶縁膜で、MOS Trのゲート用絶縁膜である。SiO<sub>2</sub>、Si<sub>3</sub>N

4、 $TiO_2$ 、 $TaO_2$ その他及びその複合膜等が使用できる。

【0015】

領域6はゲート電極であり、 $P^+$ 又は $n^+$ のポリシリコン、 $n^+$ が短チャネルでは望ましいが $n^+$ ポリSiでもよい。又はシリサイド、ポリサイド、高融点金属又はその複合膜等が使用できる。

【0016】

領域200は配線、層間等分離する絶縁膜、領域100はソース、ドレインにオーミック電極配線となるAL、Al-Si、Cu、ポリSi、シリサイド等の材料を用いる。

【0017】

図2は、図1のA-A'部の電位図を示す。

【0018】

図中で20がキャリアである電子を模式的に表わしている。本発明で重要なのはキャリア電子20が絶縁膜と半導体界面から離れて走行することが重要である。これにより、界面の凹凸によるキャリアの散乱を減少することができる。

【0019】

さらに、そのキャリアの走行領域の幅及び不純物濃度の制御によりキャリアの散乱原因を取り除くことができる。

【0020】

MOSトランジスタのドレイン電流は近似的に次式で表わされる。線形領域で

$$I_{DL} = \mu_{eff} \cdot W / L \cdot \epsilon_{OX} / T_{OX} \cdot V_D (V_G - V_{th}) \quad (1)$$

飽和領域で

$$I_{DS} = 1 / 2 \mu_{eff} \cdot W / L \cdot \epsilon_{OX} / T_{OX} (V_G - V_{th})^2 \quad (2)$$

但し、 $I_{D2}$ 、 $I_{D5}$ ：線形、飽和、領域のドレイン電流

$\mu_{eff}$ ：実効移動度、W：ゲート幅、L：ゲート長

$\epsilon_{OX}$ ：酸化膜の誘電率、 $T_{OX}$ ：酸化膜の厚み

$V_D$ ：ドレイン電圧、 $V_G$ ：ゲート電圧、 $V_{th}$ ：しきい値電圧

【0021】

超高集積化されるMOSトランジスタにおいては、一般的にゲート幅Lを小さ

くすることが最も重要視されている。それに従って  $T_{OX}$  の薄膜化、且つ、ソースドレインのパンチスルーを防止するためにチャネル部の不純物密度も行なわれていて、不純物密度を上げているためにキャリア移動度を下げている。

#### 【0022】

我々は、上記のデバイスの駆動力を増大させるために、キャリアの移動度  $\mu_{eff}$  を改善する。

#### 【0023】

又、 $\mu_{eff}$  を改善することで、キャリアの走行時間が短かくなることにより、デバイスの高速化にも大きく寄与する。

#### 【0024】

MOSトランジスタにおける一般的に述べられているキャリア散乱について述べ、本発明を説明してゆく。

#### 【0025】

最もよく知られているキャリアの散乱は、第1に格子振動すなわちフォノンによる散乱、第2に基板の不純物イオンによる散乱がある。フォノンによる散乱ではドリフト電界の低いときには

$$\mu_L \propto (m^*)^{-5/2} T^{-3/2} \quad (3)$$

のように温度Tの $-3/2$ 乗に比例、有効質量( $m^*$ )には $-5/2$ 乗に比例する。不純物イオン散乱による移動度 $\mu_i$ は

$$\mu_i \propto (m^*)^{-1/2} N_I^{-1} T^{3/2} \quad (4)$$

のように、 $T^{3/2}$ に比例、イオン化した不純物濃度 $N_I$ に逆比例する。

#### 【0026】

両者が混在するときの移動度 $\mu$ は

$$\mu = (1/\mu_1 + 1/\mu_i)^{-1} \quad (5)$$

で表わされる。低温では $\mu_i$ が支配的で、高温では $\mu_1$ が支配的である。図4は不純物密度に対するキャリアの移動度を示している。

#### 【0027】

望ましくは $10^{16} \text{ cm}^{-3}$ 以下でないと、半導体固有に近い移動度は出すことができない。 $10^{17} \text{ cm}^{-3}$ 以上において、顕著に移動度が低下していることが明らかで

ある。半導体基板内部における移動度についての説明であるが、MOSトランジスタは表面デバイスであるため、他の特有な現象が表れる。

### 【0028】

通常MOSの表面近傍の表面に垂直方向の電位図は、図3（左図は右図F部の拡大図）に示す如くであり、キャリアは位置エネルギー  $\phi(x)$  と運動エネルギー  $1/2 m v_x^2$  の和で表わされる。すなわち、 $x$  の谷の方向に電子は加速される。そのため、 $x$  方向の電界で加速され高いエネルギーをもった電子は表面に衝突し運動エネルギーを失って熱平衡状態にもどり、ランダムな方向に散乱される。そのために、 $y$  方向に流れているキャリアの移動度は低下する。これを分散散乱モデルと言い、モデルに従うと

$$\mu_{SS}/\mu_B = 1 - e \times p(\alpha^2) [1 - e_r f(\alpha)] \quad (6)$$

但し、 $\mu_B$ ：バルク移動度、 $\mu_{SS}$ ：分散散乱移動度

### 【0029】

#### 【外1】

$$\alpha = \sqrt{2m^*kT} / g E_x I \quad (7)$$

$k$ ：ボルツマン定数、 $T$ ：絶対温度、 $E_x$ ：垂直電界、 $\tau$ ：緩和時間である。

垂直電界  $E_x$  が大となると、散乱が大となり、 $\mu_{eff}$  は低下する。

### 【0030】

表面の起伏による散乱も表面特有の散乱メカニズムとして重要なメカニズムである。Si-SiO<sub>2</sub>界面は完全に平坦とは言えず、高さ数nm、周期～10nmのわずかな起伏が存在する。この起伏の程度は表面における電子波の波長（～10nm）に比べて無視できない値であるため、電子はこの起伏によって散乱をうける。

### 【0031】

定性的には図11に示したような電界依存性となる。これらのすべての問題を解決しようとするのが本発明である。図1の断面図に示した如く、ゲート電極Fの不純物分布を作成し、図2に示した如くのポテンシャル分布にし、キャリアを界面から離れた位置で走行させる。本質的な点は、キャリアの走行領域の不純物

濃度の低い領域で作成する。不純物濃度は  $10^{17} \text{ cm}^{-3}$  以下がよく、さらに望ましくは  $10^{16} \text{ cm}^{-3}$  以下がよい。この濃度以下とすることにより、不純物散乱を低下させる。 $n^-$  領域の深さは少なくとも、ソース、ドレイン領域より浅くし、ソース、ドレインのパンチスルーはおさえる必要がある。

## 【0032】

$n^-$  領域はオフ・ゲート電圧時には空乏化した、ノーマリ・オフ型MOSトランジスタにしておくエンハンスマント型トランジスタである。従来の埋め込み型MOS Tr と異なり、 $n$  領域ゲート電圧印加と電極と半導体のフェルミ電位を考慮に入れない場合は、半導体 Pn 接合による空乏層の拡がりだけを考えに入れればよい。Pn 接合の $n$  型領域に拡がる空乏層厚みは、

## 【0033】

## 【外2】

$$x_n = \sqrt{\frac{2 \epsilon_s}{q} \cdot \frac{N_A}{N_D} \cdot \frac{V_{bi}}{(N_A + N_D)}} \quad (8)$$

で表わされる。 $V_{bi}$ ：拡散電位、 $N_A$ 、 $N_D$ ：P、n 型不純物濃度、 $\epsilon_s$ ：誘電率、 $q$ ：電荷

## 【0034】

$n$  型であるので、領域1と領域3のP型の不純物濃度を  $P_1$ 、 $P_2$  とすると、 $n$  型領域の厚みは、少なくとも

$$x_n(N_D) < x_{n1}(N_D, N_{A1}) + x_{n2}(N_D, N_{A2}) \quad (9)$$

としなければならない。

## 【0035】

表面の  $P^+$  高濃度領域(3)は  $50 \sim 100 \text{ \AA}$  以上にする。少なくとも走行キャリアの平均自由行程以上にして、 $\text{SiO}_2$  と Si の界面で散乱する確率を小さくする方がよい。不純物濃度については、領域2の1桁以上にした方がよい。酸化膜と半導体の界面は空乏化していても、中性でもよい。

## 【0036】

領域3も空乏化している方がゲート容量が低くなり、高速対応となり、すぐれ

ている。ゲート電極に電圧を印加していった時、誘起キャリアが領域3に生成されなければならない。領域2に生成されなければならぬ。すなわち、自由キャリアを生成するには、本来その領域の不純物濃度によってきまるフェルミ・レベル $\phi_F$ を $-2\phi_F$ 以上にしたときに強い反転が生じ、MOSトランジスタを動作させるキャリアが生じる。n型領域の場合は禁制帯の中間より上にあれば、自由キャリアを生成しはじめる。

#### 【0037】

図5は、Siに対して横軸温度(°K)、縦軸フェルミレベルの変化を示している。図中、n型、P型に対する不純物密度をパラメータとしている。領域2のn型半導体領域では $E_F - E_i$ で表わされるフェルミレベルが中間より上にあれば、自由キャリアはMOSトランジスタのソースから供給される。 $E_F - E_i$ が0. $3_1V$ 程度になると $10^{15} \text{ cm}^{-3}$ 程度の自由キャリアが供給される。領域3のP<sup>+</sup>領域に自由キャリアを生成するには、例えば、 $P^+ = 10^{18} \text{ cm}^{-3}$ とすると、 $1.2\phi_F$ にするには+1. $0_1V$ 程度にしないと自由キャリアが領域3に生成できないことが図5から説明できる。

#### 【0038】

図6が図1のA→A'方向断面の理想的不純物密度分布である。表面に濃度の高いP<sup>+</sup>領域、濃度の低いキャリア走行領域、中間的濃度の基板領域の3領域より成っている。(図6中、実線は理想段階状分布、破線は実際の不純物分布)。

#### 【0039】

しきい値電圧は、近似的に次のように示すことができる。

#### 【0040】

まず表面の2領域の不純物の積分値D<sub>I</sub>をとり

## 【0041】

【外3】

$$D_t = \int_0^{x_d} (N_1(x) - N_2(x)) dx \quad (10)$$

$$\Delta V_a = q D_t / C_t \quad (\text{但し } C_t = \epsilon_s / x_d) \quad (11)$$

## 【0042】

(11) 式によって、しきい値電圧の変化分が近似的に求めることができる。

但し、これは、空乏層厚み  $x_{01}$  が  $x_2$  より深く、かつ、 $P^+$  の表面層が空乏化した場合である。最終的しきい値は

$$V_{th} = V_{th}(N_3) + \Delta V_{th} \quad (12)$$

と表わすことができる。基板濃度  $N_3$  によって決まる  $V_{th}(N_3)$  を  $\Delta V_{th}$  だけシフトすることに近い。

## 【0043】

$\Delta V_{th} = 0$  とすることは容易で、 $D_I = 0$  とするように  $N_1$ 、 $N_2$ 、 $x_1$ 、 $x_2$  を設定することでできる。そのときは基板の濃度によって、 $V_{th}$  を決めることができる。又、電極に使用した材料によって、半導体とのフェルミレベルの差  $\phi_{ms}$  が異なるが、それに応じて、しきい値制御も表面の  $P^+$  の濃度厚みの制御によって式 (11) を使って容易に行なうことができる。

## 【0044】

## 図1の製造工程

(1) P型基板1 ( $10^{14} \sim 10^{18} \text{ cm}^{-3}$ ) あるいはP型領域を拡散法等により作成した後、エピタキシャル法により厚み  $1 \mu\text{m}$  以下程度で不純物濃度  $10^{17} \text{ cm}^{-3}$  以下でn領域2を作成する。

- (2) 素子分離領域50を選択酸化法等を使って作成
- (3) ゲート酸化膜あるいは絶縁層5を酸化法等によって作成。
- (4) 表面にイオン注入法によって  $\text{BF}_2^+$  を  $5 \text{ K}_1 \text{ V} \sim 100 \text{ K}_1 \text{ V}$  程度の加速電圧で、 $1 \text{ E} 11 \sim 1 \text{ E} 13 \text{ cm}^{-2}$  程度のドーズ量でイオン注入する。熱処理は8

00～900℃の熱処理あるいは950～1050℃程度の急速加熱(RTA)法により行なう。

- (5) ゲート電極6をP<sup>+</sup>ポリシリコンを堆積後、パターニングにより作成。
- (6) ゲート電極6をマスクにしてセルフアラインによって、リン(P<sup>+</sup>)あるいはヒ素(A<sup>+</sup><sub>S</sub>)等の不純物をイオン注入後、RTA熱処理した後、作成。
- (7) 層間分離、配線分離用の絶縁膜200を堆積後、アニールしてから、コントラクト穴をあける。
- (8) 金属電極をスパッタ、あるいは化学堆積(CVD)法によって堆積後、パターニングして作成。

#### 【0045】

図1の素子は上記のプロセスにより作成される。

#### 【0046】

しかし、CMOS、B:CMOS等のプロセスでは、さらに複雑に改良されてゆく。

#### 【0047】

本発明で最も重要なのは、領域2、3の不純物濃度、厚みであって、不純物分布を保持するために低温エピタキシャル法(800～950℃)、低温熱処理(800～950℃)、RTA法の適用が必要である。

#### 【0048】

図7は本発明のMOSFETの移動度を示している。(図中の特性曲線71)

#### 【0049】

これは、従来の通常のn型MOSFETに比較し、向上している(従来のMOSの特性は特性曲線72である)。

#### 【0050】

(他の実施例)

図8は第2の実施例である。

#### 【0051】

n<sup>-</sup>領域の濃度が極めて低い場合、例えば10<sup>15</sup>cm<sup>-3</sup>より低い場合は空乏層

Xが拡がりやすいため、ソースドレインよりも $n^-$ 領域は深くてもよい。

#### 【0052】

このようなデバイスでは素子分離領域の下にチャネルトップ領域10を必ず入れる必要が出てくる。ソース・ドレイン下の空乏層Xの容量も極めて減少し、高速化可能である。S O Iにおいてと同様な効果が生ずる。

#### 【0053】

図9は2の領域の上層にn領域をさらに作成し、 $P^+n$ 領域の電界を急にしている。但し、 $n^-n^-$ 領域全体共全部空乏化している。2と2'が反対になっていても、かまわない。

#### 【0054】

図10はリセス型MOSトランジスタの実施例である。短チャネル化において有利である。同様に $n^-$ 中はチャネル領域は少なくとも空乏化している。

#### 【0055】

本発明は、n型MOSトランジスタについて記述したが、P型MOSトランジスタに適用できるのは当然である。その場合本発明の実施例において、nとP型はすべて反対となる。

#### 【0056】

又、Si材料のみについて述べたが他のGaAs、GaP等、他の材料についても適用できるのは明らかである。

#### 【0057】

##### 【発明の効果】

- ・界面散乱、電界緩和、イオン散乱の低減により、移動度が昇上する。 $-g_m$ が大となる。

#### 【0058】

- ・ドレイン側の電界も緩和されるため、ソース、ドレイン間耐圧も昇上する。このため、短チャネルデバイスにしたとき、ホットキャリアの生成も少なくなる。ゲートとドレイン間の電界分布がゆるやかにすることができる。LDD構造のように直列抵抗が高くならない。LDDはソース側にn-領域の直列抵抗をソースの中に有してしまう。本発明では、 $n^-$ は空乏化しているチャネルであり、直

列抵抗として作用しない。

【図 5 9】

・ドレイン下も空乏化する型のMOSトランジスタでは、接合容量が減少し、超高速化に対応できるデバイスとなる。又、この型ではドレイン耐圧もさらに増加する。

【図面の簡単な説明】

【図 1】

本発明のMOS型トランジスタの断面図。

【図 2】

図1のA-A'部の電位図。

【図 3】

運動エネルギーの説明図。

【図 4】

不純物密度に対するキャリア移動度の図。

【図 5】

Siにおける温度(°C)に対するフェルミレベルの変化を示す図。

【図 6】

図1のA-A'方向断面の不純物密度分布図。

【図 7】

本発明のMOSFETのキャリア移動度を示す図。

【図 8】

本発明の第2の実施例の断面図。

【図 9】

本発明の第3の実施例の断面図。

【図 10】

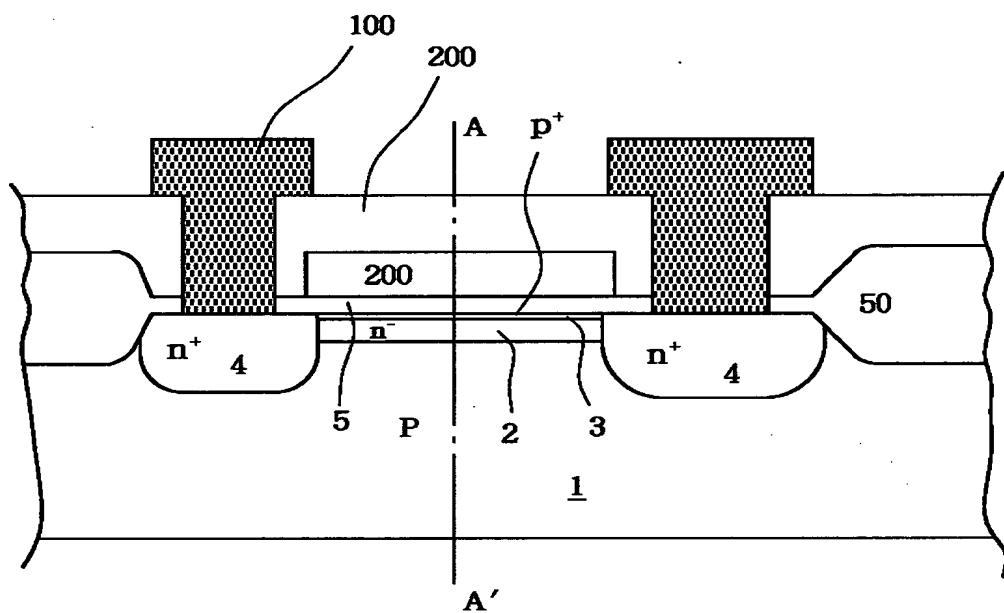
本発明の第4の実施例の断面図。

【図 11】

実効電界に対するキャリア移動度を示す図。

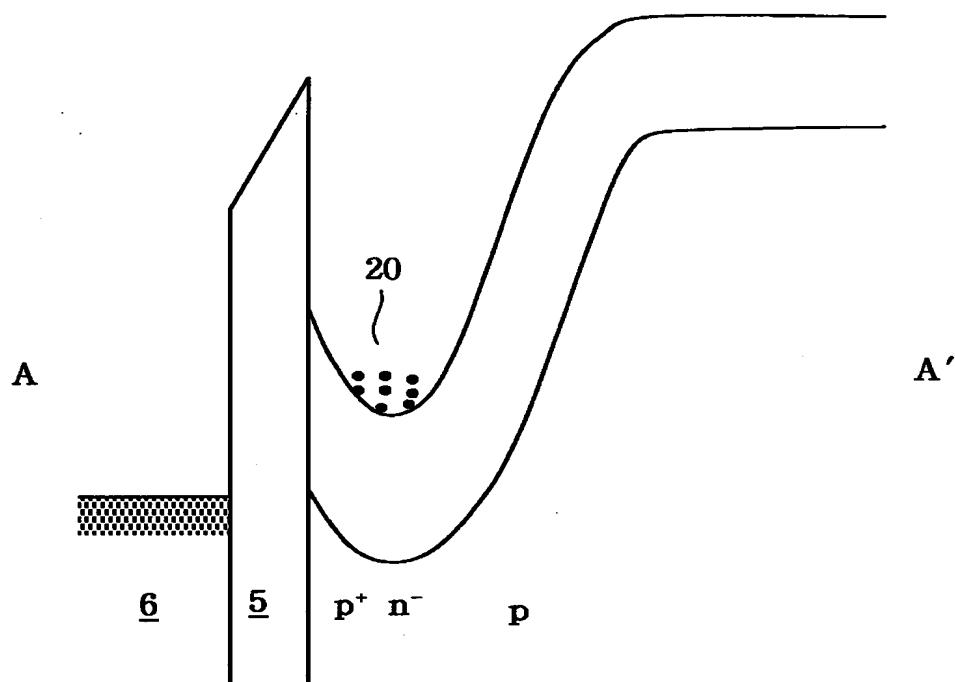
【書類名】 図面

【図 1】

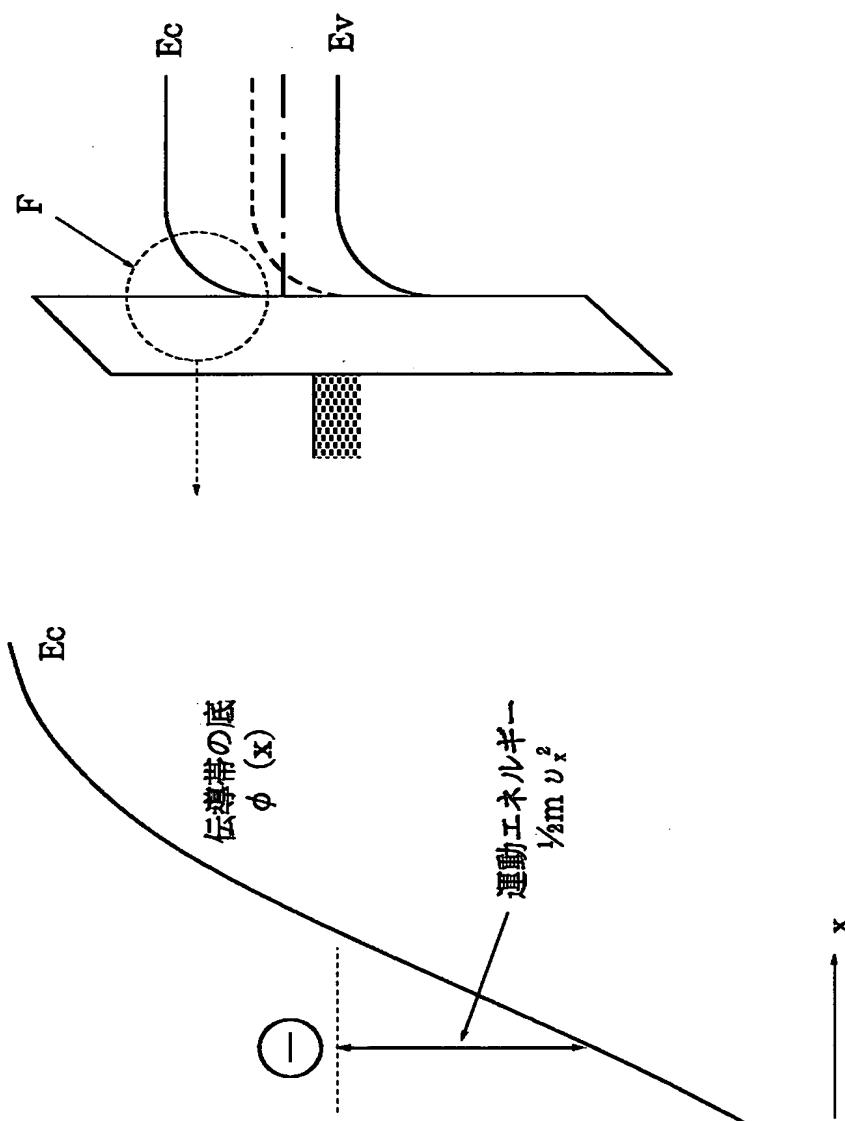


0 3 - 0 5 2 4 2 9

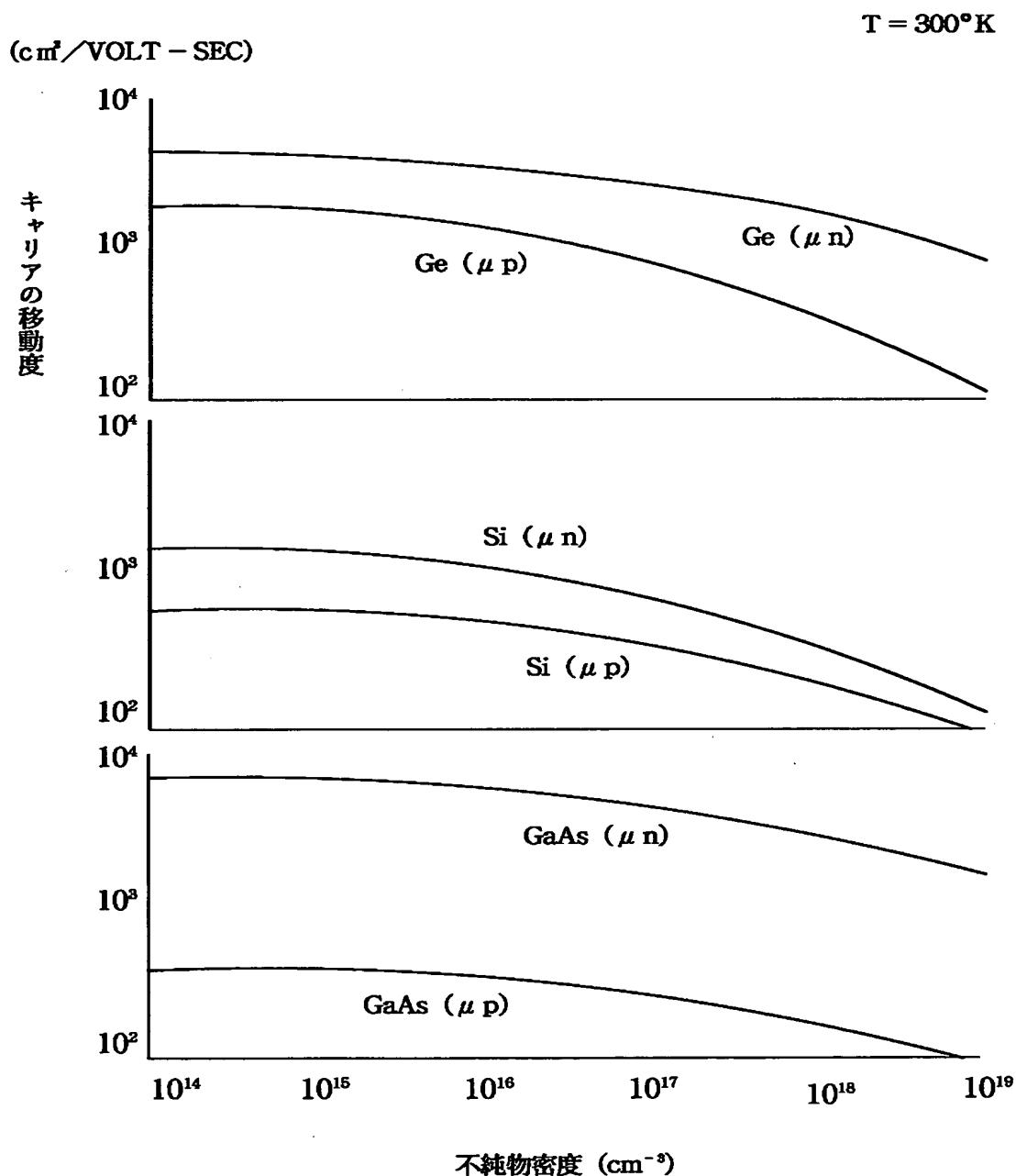
【図2】



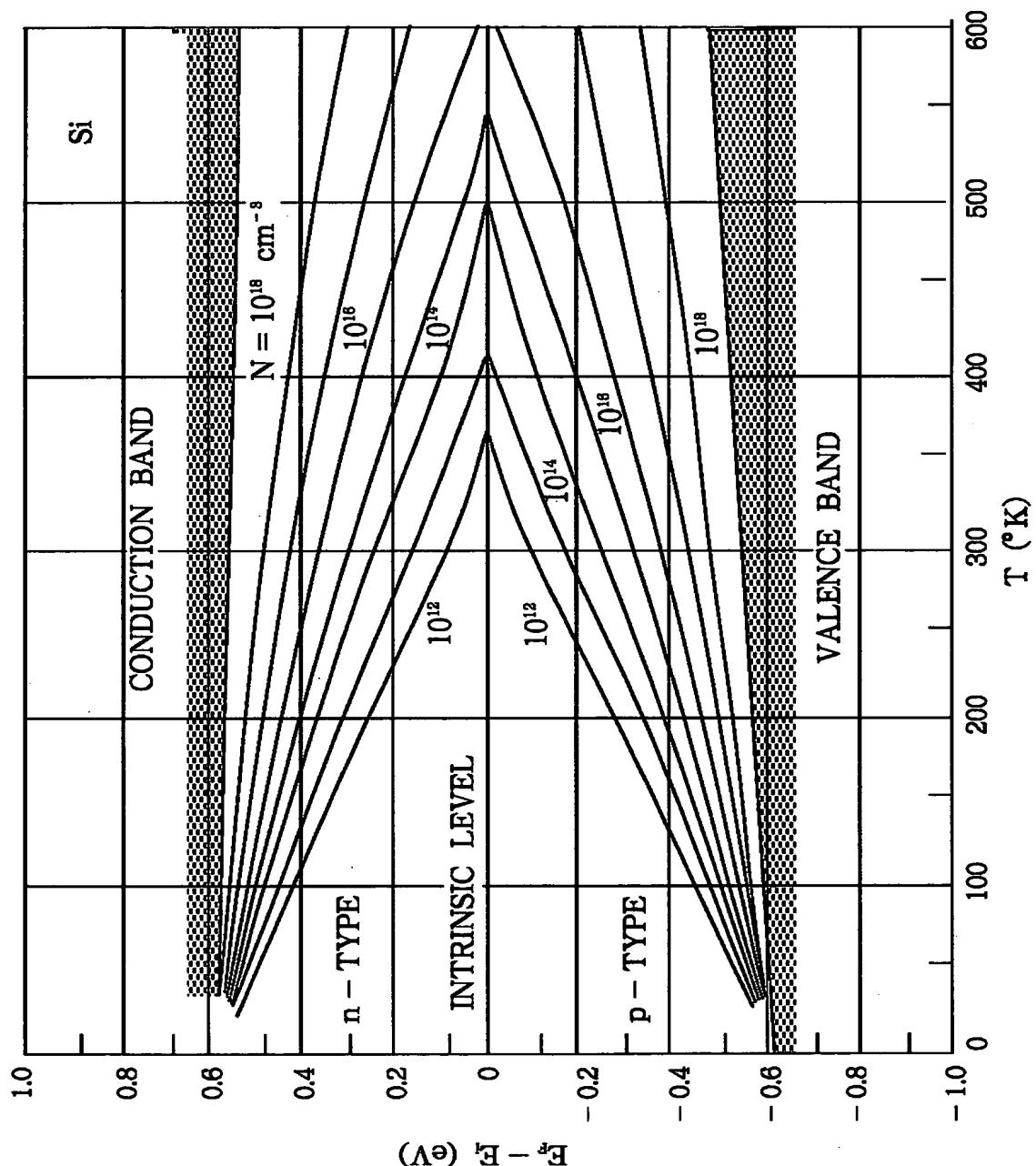
【図3】



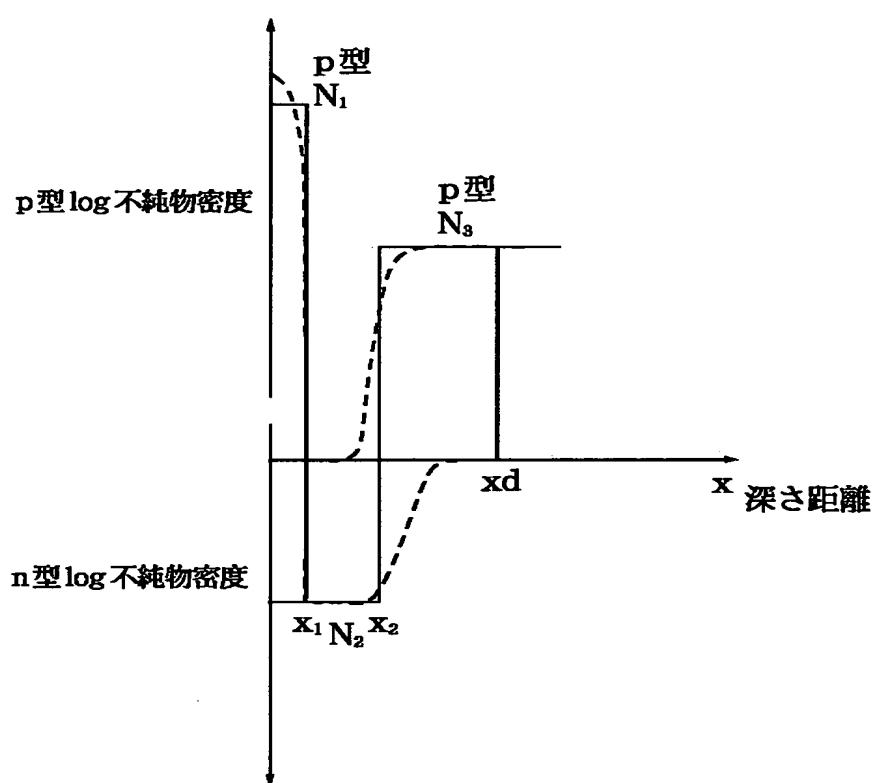
【図4】



【図5】

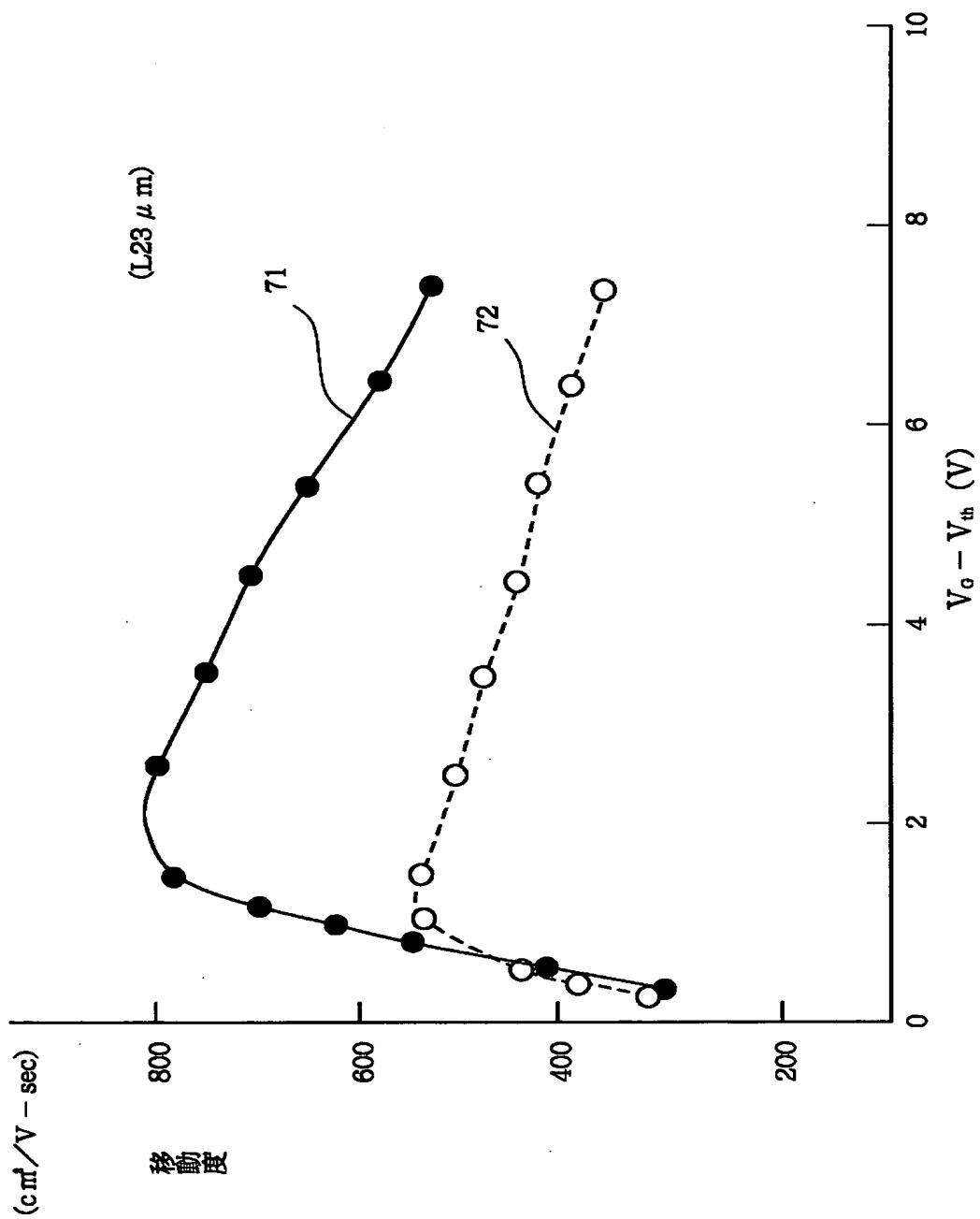


【図 6】

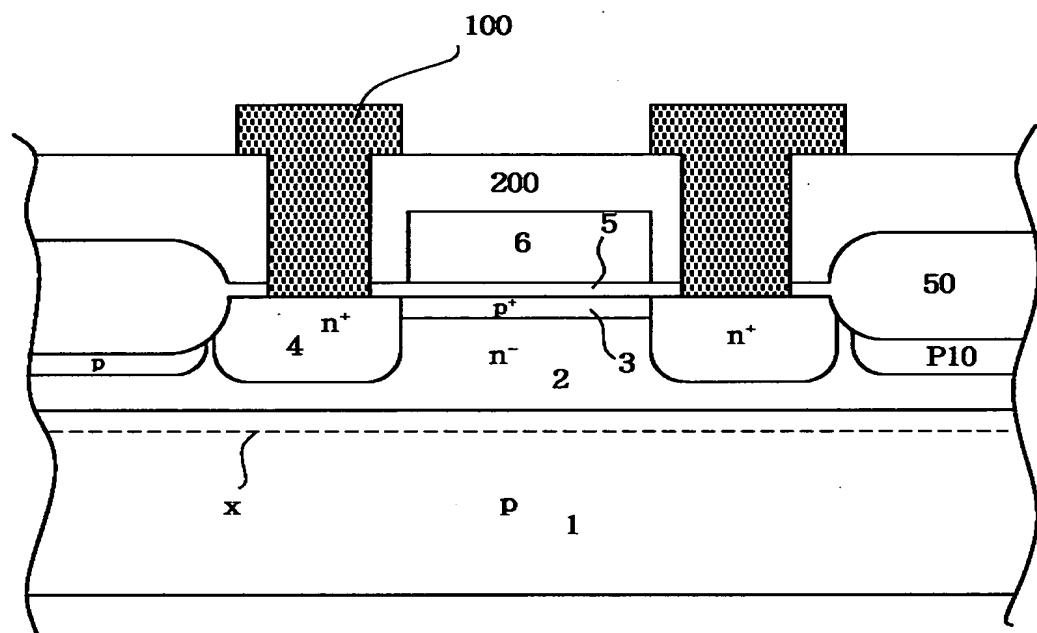


0 3 - 0 5 2 4 2 9

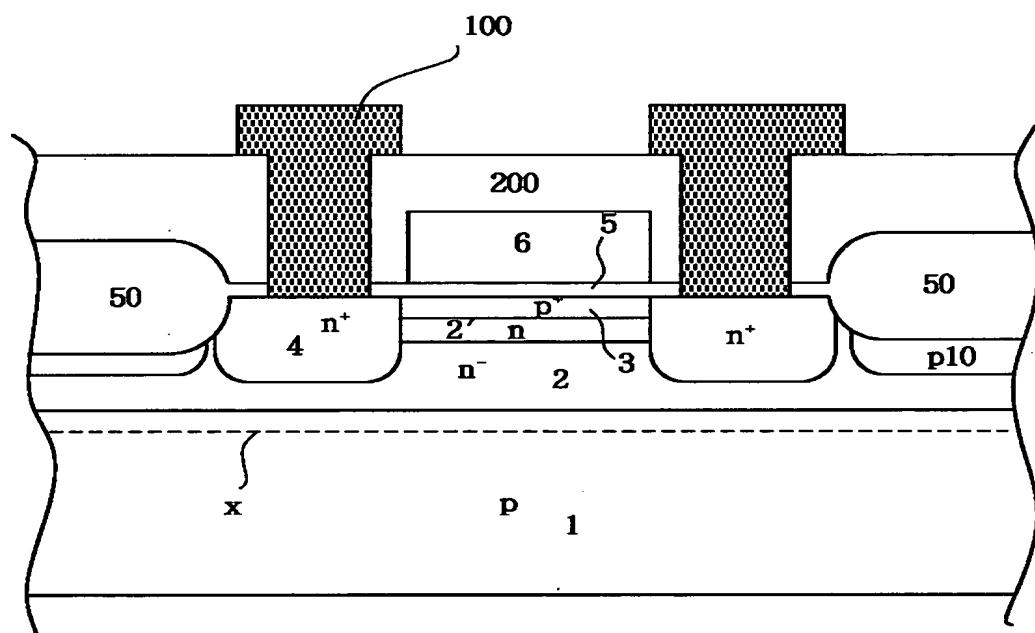
【図 7】



【図8】

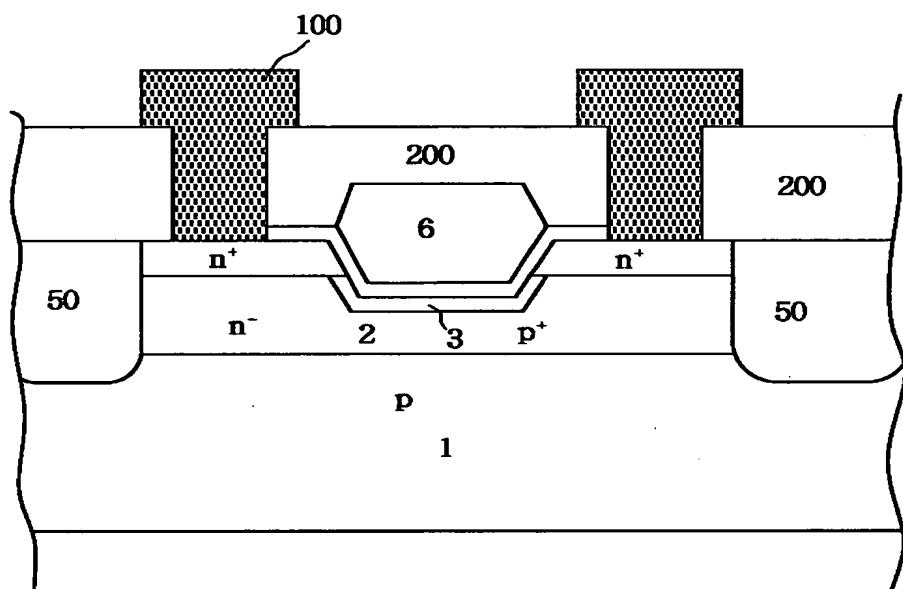


【図9】

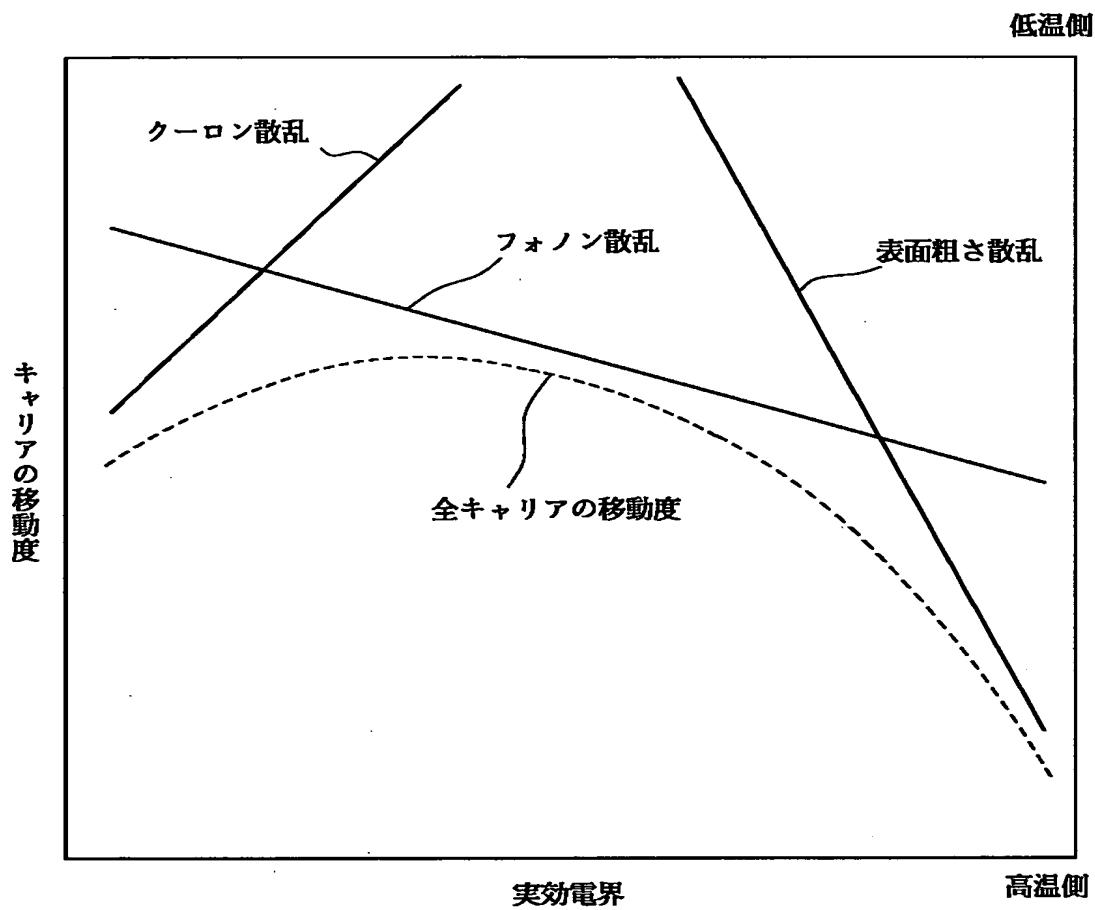


0 3 - 0 5 2 4 2 9

【図10】



【図11】



【書類名】 要約書

【要約】

【目的】 良好特性の絶縁ゲートトランジスタ及び半導体集積回路を提供すること。

【構成】 少なくとも第1の導電型で高不純物密度のソースとドレイン領域、ソースとドレインの間にあるチャネル領域、該チャネル領域を少なくともおおっている絶縁層、該絶縁層に近接している導電材料からなるゲート電極を有する絶縁ゲートトランジスタにおいて、

該チャネル領域が、絶縁層に近接した第1導電型と反対導電型の低抵抗の第2導電型の第1チャネル領域と、該第1チャネル領域に隣接した高抵抗の第1導電型の第2チャネル領域と、該第2チャネル領域に隣接した第2導電型の第3チャネル領域を有する絶縁ゲート型トランジスタ。

【選択図】 図1

【書類名】 職権訂正データ  
【訂正書類】 特許願

## &lt;認定情報・付加情報&gt;

## 【特許出願人】

【識別番号】 000001007

【住所又は居所】 東京都大田区下丸子3丁目30番2号

【氏名又は名称】 キヤノン株式会社

## 【代理人】 申請人

【識別番号】 100069877

【住所又は居所】 東京都大田区下丸子3-30-2 キヤノン株式会社内

【氏名又は名称】 丸島 儀一

出願人履歴情報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都大田区下丸子3丁目30番2号

氏 名 キヤノン株式会社